

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月 4日

出 願 番 号
Application Number:

特願2002-352573

[ST.10/C]:

[JP 2002-352573]

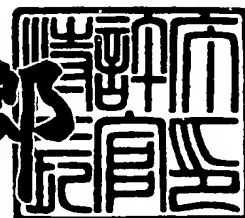
出 願 人
Applicant(s):

三菱電機株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3104099

【書類名】 特許願

【整理番号】 539801JP01

【提出日】 平成14年12月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 國井 徹郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 服部 亮

【発明者】

【住所又は居所】 兵庫県川西市久代3丁目13番21号 株式会社ケーデ
ィーエル内

【氏名】 川田 浩司

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、

前記第 1 及び第 2 の主電極及び前記制御電極が一の主面上に形成された半導体基板と、

前記第 1 の主電極及び前記制御電極を前記第 2 の主電極と絶縁するように、第 1 の主電極及び制御電極上に形成された、低誘電率高分子材料からなる膜と、

該膜及び前記第 2 の主電極上に形成され、接地電位に接続されたチップ表面電極とを有し、

前記第 2 の主電極は前記チップ表面電極を介して接地電位が与えられることを特徴とする半導体装置。

【請求項 2】 前記半導体基板の各電極が設けられた主面と反対側の主面上に、第 1 の電極に接続する第 1 のパッド及び第 2 の電極に接続する第 2 のパッドが設けられたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体基板が SiC またはサファイアで形成されたことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 第 1 及び第 2 の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、

前記第 1 及び第 2 の主電極及び前記制御電極が一の主面上に形成された半導体基板と、

前記第 1 及び第 2 の主電極及び前記制御電極上に形成された、低誘電率高分子材料からなる保護膜と

を有することを特徴とする半導体装置。

【請求項 5】 第 1 及び第 2 の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、

前記第 1 及び第 2 の主電極及び前記制御電極が一の主面上に形成された半導体基板と、

前記半導体基板の前記一の主面と反対側の主面に設けられ、接地された金属層と、

前記第 1 及び第 2 の主電極及び前記制御電極上に形成された、低誘電率高分子材料からなる膜と、

該低誘電率高分子材料からなる膜上に形成された、前記接地された金属層と同じ材料からなる表面層と

を有することを特徴とする半導体装置。

【請求項 6】 前記表面層を、前記接地された金属層と電氣的に接続したことを特徴とする請求項 5 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は複数の電極を有するトランジスタが形成された半導体装置に関する。

【0002】

【従来の技術】

図 1 4 は電界効果トランジスタ (FET) が複数形成された従来の半導体チップの平面図であり、半導体チップ上に形成された FET の電極配置を示した図である。図 1 5 はその半導体チップを横側から見た断面図である。

【0003】

図 1 4 に示すように、半導体基板 1 上において、FET のゲート電極 5、ドレイン電極 6、ソース電極 7 が複数並べて配置されている。ゲート電極 5、ドレイン電極 6、ソース電極 7 はそれぞれゲートパッド 2、ドレインパッド 3、ソースパッド 4 に接続されている。ゲートパッド 2 とソースパッド 4 とは同図に示すように交互に配置されている。ソースパッド 4 にバイアホール 9 が設けられている。

【0004】

図 1 5 に示すように、バイアホール 9 はソースパッド 4 下側の半導体基板 1 中に設けられている。バイアホール 9 は、接地された裏面のヒートシンク 10 と接続されており、これによりソース電極 7 はソースパッド 4、バイアホール 9 を介し

て接地されることになる。

【0005】

そのような半導体チップはパッケージの基板にAuSnハンダ等でダイボンドされる。ゲートパッド2及びドレインパッド3はワイヤボンドによりプリント基板等を介してパッケージのリード部と接続され、これにより、DC信号線路、RF信号線路が形成される。

【0006】

【発明が解決しようとする課題】

以上のような従来の半導体チップでは、ソース電極4の接地を裏面ヒートシンク10を用いて行なうため、図15に示すように半導体基板1内にソース電極とヒートシンク10とを電氣的に接続するためのバイアホール9が設ける必要があり、半導体チップの構造及び製造工程が複雑となっていた。

【0007】

また、半導体チップ上面にバイアホール9形成のためのソースパッド4を設ける必要があるため、ゲートパッド2とソースパッド4が交互に並んだ構造になり、ゲートパッド2毎にワイヤボンドする必要があり、アセンブリ工程の複雑さ、ワイヤボンド長のばらつきによる特性の劣化を招いていた。

【0008】

また、図14に示すように、FET動作領域8のソース電極を10～20個まとめて1つのバイアホール9で接地するため、10GHzを超える高周波帯域ではソースインダクタンス(Ls)の増大に伴う利得低下を招いていた。

【0009】

さらに、図16に示すように、素子の組み立て時に半導体チップをAuSnハンダ等でパッケージの基板にダイボンドする際に、半導体基板1と裏面ヒートシンク10の熱膨張率の違いにより反りが発生し、半導体チップ両端でのハンダの厚さが増し、素子の熱抵抗値が増加するという問題があった。

【0010】

本発明は上記問題を解決するためになされたものであり、その目的とするところは、半導体装置の構造を簡単化し、製造工程の容易化を実現する半導体装置を

提供することにある。本発明はまた、半導体チップのダイボンド時の反りの発生を抑制する半導体装置を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明に係る第 1 の半導体装置は、第 1 及び第 2 の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置である。半導体装置は、第 1 及び第 2 の主電極及び制御電極が一の主面上に形成された半導体基板と、第 1 の主電極及び制御電極を第 2 の主電極と絶縁するように、第 1 の主電極及び制御電極上に形成された、低誘電率高分子材料からなる膜と、その膜及び第 2 の主電極上に形成され、接地電位に接続されたチップ表面電極とを有する。第 2 の主電極はチップ表面電極を介して接地電位が与えられる。

【 0 0 1 2 】

第 1 の半導体装置において、半導体基板の各電極が設けられた主面と反対側の主面上に、第 1 の電極に接続する第 1 のパッド及び第 2 の電極に接続する第 2 のパッドが設けられてもよい。

【 0 0 1 3 】

また、第 1 の半導体装置において、半導体基板は S i C またはサファイアで形成されてもよい。

【 0 0 1 4 】

本発明に係る第 2 の半導体装置は、第 1 及び第 2 の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、第 1 及び第 2 の主電極及び制御電極が一の主面上に形成された半導体基板と、第 1 及び第 2 の主電極及び制御電極上に形成された、低誘電率高分子材料からなる保護膜とを有する。

【 0 0 1 5 】

本発明に係る第 3 の半導体装置は、第 1 及び第 2 の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、第 1 及び第 2 の主電極及び制御電極が一の主面上に形成された半導体基板と、半導体基板の一の主面と反対側の主面に設けられ接地された金属層と、第 1 及び第 2 の主電極及び制御電極上に形成された低誘電率高分子材料からなる膜と、その低誘電率高分子材料からな

る膜上に形成され且つ接地された金属層と同じ材料からなる表面層とを有する。

【0016】

第3の半導体装置において、表面層を接地された金属層と電氣的に接続してもよい。

【0017】

【発明の実施の形態】

以下、添付の図面を参照して、本発明に係る半導体装置の実施の形態を詳細に説明する。

【0018】

実施の形態1.

本発明の半導体装置には複数の電界効果トランジスタ(FET)が形成されている。図1(a)に本発明の半導体装置の横側から見たときの構造を示す断面図を示す。図1(b)に、半導体装置の断面の一部を拡大して示す。図2は、本発明の半導体装置の上側から見たときの構造を示す図である。

【0019】

図1、2に示すように、半導体基板1上にFETの制御電極であるゲート電極5、FETの主電極であるドレイン電極6及びソース電極7が複数並べて配置されている。ドレイン電極6とソース電極7は交互に配置され、それらの電極6、7間にゲート電極5が配置されている。なお、図1(a)においては、視認性の点からゲート電極5の表示は省略しているが(図8、図11等において同じ)、図1(b)に電極配置の理解の容易化のために半導体装置の断面の一部を拡大して示している。

【0020】

半導体基板1の下面にはヒートシンク10が設けられ、上面にはチップ表面接地電極12が設けられている。ヒートシンク10及びチップ表面接地電極12ともにAuメッキにより形成される。ヒートシンク10は接地されており、チップ表面接地電極12はこのヒートシンク10を介して接地される。チップ表面接地電極12は支柱部13によりソース電極7と電氣的に接続される。これにより、ソース電極7はチップ表面接地電極12を介してヒートシンク10と接続され、

接地されることになる。

【0021】

図1(b)に拡大して示すように、ゲート電極5はドレイン電極6とソース電極7の間に配置されている。隣あうソース電極7間には、ゲート電極5とドレイン電極6を覆うように低誘電率高分子材料からなる膜（以下「低誘電率高分子膜」という。）11が形成されている。ここで、低誘電率高分子材料は、比誘電率が4以下（より好ましくは、3以下）の高分子材料であり、例えば、BCB（ベンゾシクロブテン）や、ポリイミド系の材料を含む。この低誘電率高分子膜11により、チップ表面接地電極12が、ゲート電極5及びドレイン電極6と絶縁され、ソース電極7に対してのみ電氣的に接続されるようになる。

【0022】

以上のように、ソース電極7をヒートシンク10に接続されたチップ表面接地電極12を介して接地するため、従来のように半導体基板1中にバイアホールを設ける必要がなくなる。バイアホールを設ける必要がないため、半導体チップ構造を簡略化でき、チップの形成工程が容易となる。また、半導体基板1上すなわちチップ表面にソースパッドを設ける必要もなくなる。

【0023】

図2に示すように、半導体基板1上には、ゲート電極5に接続されるゲートパッド2及びドレイン電極6に接続されるドレインパッド3が設けられている。図14に示した従来例では、ゲートパッド2は、ソースパッド4を間に挟んで複数設けられていた。しかし、本実施形態によれば、ソースパッド4をチップ表面上に設ける必要がなくなったことから、図2に示すよう、横長の1つのゲートパッド2を設けることが可能となり、ゲートパッドの形状を簡単化できる。

【0024】

また、従来は、複数のゲートパッドのそれぞれにワイヤボンドする必要があったが、本実施形態では、ゲートパッドが1つであるため、その必要がなくなり、1つのゲートパッドをタグテープ等を用いて整合用基板と簡便に接続することが可能となる。これにより、製造工程の簡略化、ワイヤボンド長のばらつきによる特性劣化を抑制できる。また、トランジスタの動作領域8のソース電極7をチッ

プ表面接地電極 1 2 に直接に接続して、接地することができるため、従来のバイアホールを介した接地の場合に比して、ソースインダクタンスを低減できる。これにより、特に 1 0 0 G H z を超えるような高周波帯域での高い利得を実現できる。

【 0 0 2 5 】

なお、半導体基板 1 の材料には S i C またはサファイアを用いるのが好ましい。これにより高出力用半導体装置を容易に製造することができる。これらの材料は G a N 系デバイスを形成するときに用いられる材料であるが、非常に堅い材料であるため、エッチングにより半導体基板内にバイアホールを形成する必要がある従来の半導体装置に適用するのは困難であった。しかし、本発明の図 1、2 に示す半導体装置の構造によれば、バイアホールが不要となるため、半導体基板の材料として S i C またはサファイアを用いることが可能となる。

【 0 0 2 6 】

実施の形態 2.

図 3 ～図 6 を用いて本発明に係る半導体装置の別の実施形態を説明する。図 3 は本実施形態の半導体装置を上から見たときのパターンを示す。図 4 は下側から見たときのパターンを示す。図 5 は、図 3 において A - A' 線に沿ってカットしたときの半導体装置の断面図である。図 6 は、図 3 において B - B' 線に沿ってカットしたときの半導体装置の断面図である。

【 0 0 2 7 】

本実施形態では、実施の形態 1 の場合と同様、図 5 に示すように、半導体基板 1 上に設けたソース電極 7 を、チップ表面接地電極 1 2 と支柱部 1 3 を介して接続している。これにより、実施の形態 1 と同様の効果が得られる。

【 0 0 2 8 】

また、図 3 に示すように、半導体基板 1 の上部にゲートパッド 2、ドレインパッド 3 が設けられているが、ゲートパッド 2、ドレインパッド 3 は半導体基板 1 の上面のみならず、図 4、図 6 に示すように、半導体基板 1 の上面から側面に沿って下面側の一部まで回り込むよう拡張して形成されている。

【 0 0 2 9 】

図4はまた、半導体基板1の一方の主面側に設けられたゲート電極5、ドレイン電極6及びソース電極7を示している。同図のように、本実施形態では、各電極5、6、7は、ゲートパッド2、ドレインパッド3が主に設けられている半導体基板1の上面（図6において半導体基板1の上側の主面）と反対側の面（図6において半導体基板1の下側の主面）上に設けられている。

【0030】

このように、ゲートパッド2、ドレインパッド3を、各電極5～7が設けられた動作領域8のある主面と別の主面に設けることにより、ゲートパッド2、ドレインパッド3の必要な面積を十分に確保しつつ、半導体基板1の主面全体の面積を小さくでき、チップ面積を小さくできる。すなわち、動作領域8と各パッド2、3を半導体基板1の同じ主面上に設けた場合は、半導体基板1の面積は少なくとも、動作領域8の面積と、各パッド2、3の面積とを加えた面積以上に大きくする必要があるが、これに対し、本実施形態では、動作領域8と各パッド2、3を別の主面に設けることにより、その面積を小さくできる。

【0031】

本実施形態の半導体装置において、動作領域8を下側にしてチップ表面接地電極12を介して放熱させるようにする。これにより、半導体基板1を薄板化する必要がなく、半導体基板1の裏面形成工程をさらに容易にすることができる。

【0032】

なお、本実施形態においても、半導体基板の材料としてSiCまたはサファイアを用いてもよい。

【0033】

実施の形態3.

本実施形態では、ダイボンド時のそりを防止する半導体装置を図7、図8を用いて説明する。図7は本実施形態の半導体装置のパターンを示す図である。図8は横側から見た半導体装置の断面図である。図8に示すように、本実施形態では、半導体基板1上の各電極5、6、7が設けられた主面上に低誘電率高分子材料による保護膜11aを形成している。

【0034】

このように、低誘電率高分子材料による保護膜 1 1 a が形成されることにより、ダイボンド時に、図 9 に示すようにチップハンドリング用コレット 1 6 等によりチップ上面を押圧することが可能となり、ダイボンド時のそりを低減できる。そりの低減によりチップ裏面のヒートシンク 1 0 とパッケージ 1 5 間の A u S n ハンダの厚さが薄く均一に形成され、素子の熱抵抗値を低減できる。

【 0 0 3 5 】

実施の形態 4.

図 1 0、図 1 1 を用いてダイボンド時のそりを防止する半導体装置の別の構成を説明する。図 1 0 は本実施形態の半導体装置の上から見たパターン図であり、図 1 1 は半導体装置の横から見た断面図である。

【 0 0 3 6 】

本実施形態の半導体装置では、図 1 1 に示すように、ゲート電極 5 とドレイン電極 6 を覆うように低誘電率高分子膜 1 1 が形成され、さらに、その低誘電率高分子膜 1 1 及びソース電極 7 の上面に A u メッキによる金属層であるチップ表面メッキ層 1 2 a が形成されている。また、半導体基板 1 の下面には A u メッキによる金属層であるヒートシンク 1 0 が形成されている。

【 0 0 3 7 】

以上のように、本実施形態の半導体装置では、半導体基板 1 の上面においてチップ表面メッキ層 1 2 a が形成され、その下面において同じ A u メッキにより形成されたヒートシンク 1 0 が形成されており、半導体基板 1 が 2 つの A u メッキ層により挟まれた構造となっている。これにより、ダイボンド時に、熱膨張率の違いによる応力が緩和されるため、そりを低減することができる。なお、A u メッキ層は他の金属材料でもよい。

【 0 0 3 8 】

実施の形態 5.

図 1 2、図 1 3 を用いてダイボンド時のそりを防止する半導体装置のさらに別の構成を説明する。図 1 2 は本実施形態の半導体装置の上から見たパターン図であり、図 1 3 は半導体装置の横から見た断面図である。

【 0 0 3 9 】

図 1 3 に示すように、本実施形態の半導体装置は、半導体基板 1 の上面において Au メッキによるチップ表面メッキ層 1 2 b が設けられ、半導体基板 1 の下面に Au メッキによるヒートシンク 1 0 が設けられている。さらに、チップ表面メッキ層 1 2 b は半導体基板 1 の側壁まで延在し、下面のヒートシンク 1 0 と接続するように形成されている。これによりヒートシンク 1 0 とチップ表面メッキ層 1 2 b の電気的な接続が得られるため、実施の形態 6 の半導体装置の効果に加えて、さらに、ソースインダクタンスの低減及び熱抵抗の低減が可能となる。

【 0 0 4 0 】

【発明の効果】

本発明によれば、従来のように半導体基板中にバイアホールを設ける必要がなくなるため、半導体チップ構造を簡略化でき、チップの形成工程が容易となる。また、本発明によれば、半導体装置のダイボンド時のそりを低減できるため、チップ裏面のヒートシンクとパッケージ間の Au Sn ハンダの厚さが薄く均一に形成され、素子の熱抵抗値を低減できる。

【図面の簡単な説明】

【図 1】 (a) 本発明の実施の形態 1 の半導体装置の横側から見たときの構造を示す断面図、(b) 実施の形態 1 の半導体装置の断面の一部を拡大して示した図

【図 2】 本発明の実施の形態 1 の半導体装置の上側から見たときの構造を示す図

【図 3】 本実施形態の実施の形態 2 の半導体装置を上から見たパターン図

【図 4】 実施の形態 2 の半導体装置の下側から見たパターン図

【図 5】 図 3 において A - A' 線に沿ってカットしたときの半導体装置の断面図

【図 6】 図 3 において B - B' 線に沿ってカットしたときの半導体装置の断面図

【図 7】 本発明の実施形態 3 の半導体装置のパターンを示す図

【図 8】 実施形態 3 の半導体装置の横側から見た断面図

【図 9】 チップハンドリング用コレット 1 6 を用いて半導体チップ上面を

押圧している様子を説明した図

【図 1 0】 本発明の実施形態 4 の半導体装置の上から見たパターン図

【図 1 1】 本発明の実施形態 4 の半導体装置の横から見た断面図

【図 1 2】 本発明の実施形態 5 の半導体装置の上から見たパターン図

【図 1 3】 本発明の実施形態 5 の半導体装置の横から見た断面図

【図 1 4】 トランジスタ等の電子デバイスが形成された従来の半導体装置
(チップ)の平面図

【図 1 5】 従来の半導体装置(チップ)を横側から見た断面図

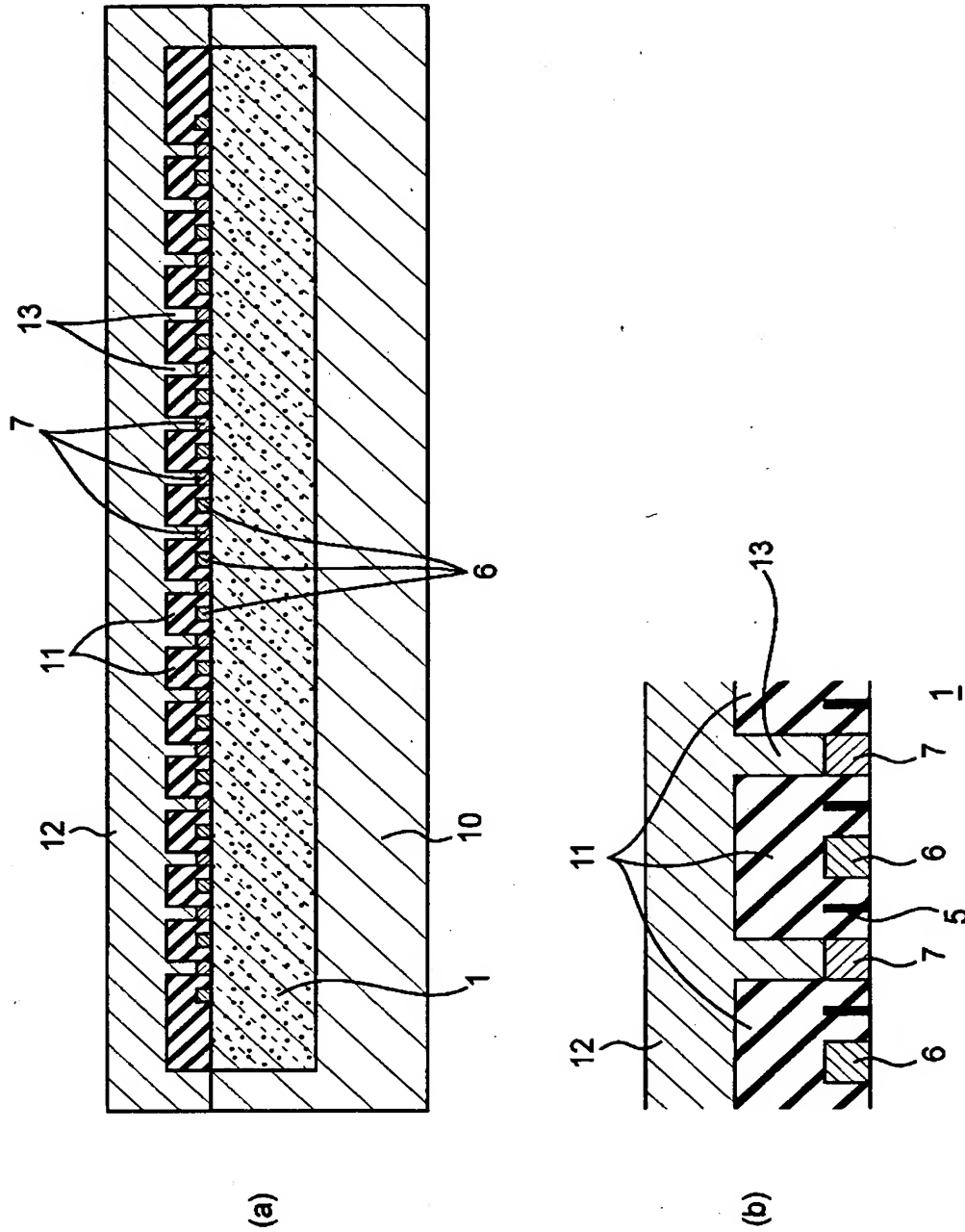
【図 1 6】 従来の半導体装置(チップ)のダイボンド時のそりの発生を説
明した図

【符号の説明】

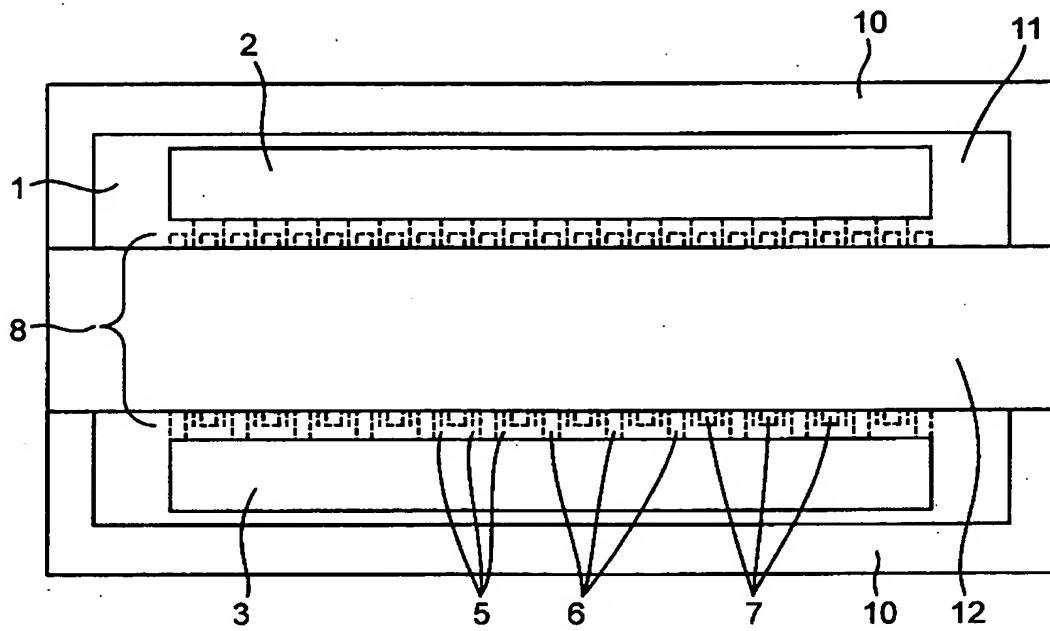
1 半導体基板、 2 ゲートパッド、 3 ドレインパッド、 4 ソース
パッド、 5 ゲート電極、 6 ドレイン電極、 7 ソース電極、 8 動
作領域、 1 0 ヒートシンク、 1 1 低誘電率高分子膜、 1 1 a 低誘電
率高分子材料による保護膜、 1 2 チップ表面接地電極、 1 2 a A u メッ
キ層、 1 2 b チップ表面メッキ層、 1 3 チップ表面接地電極の支柱部。

【書類名】 図面

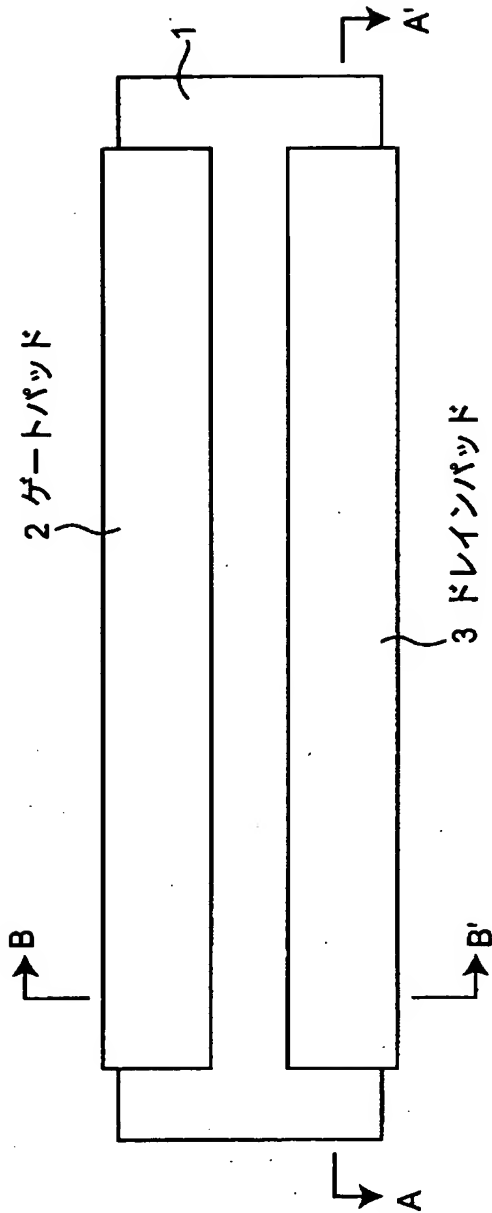
【図 1】



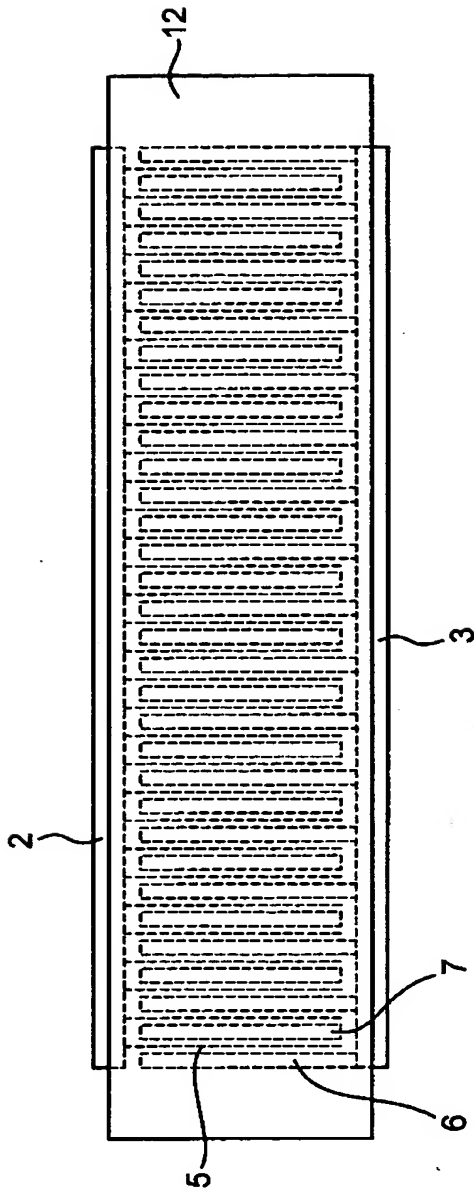
【図 2】



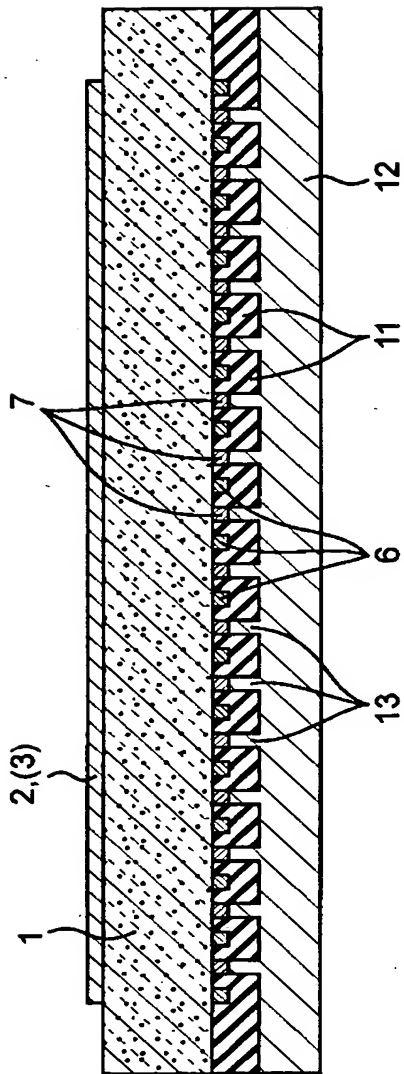
【図 3】



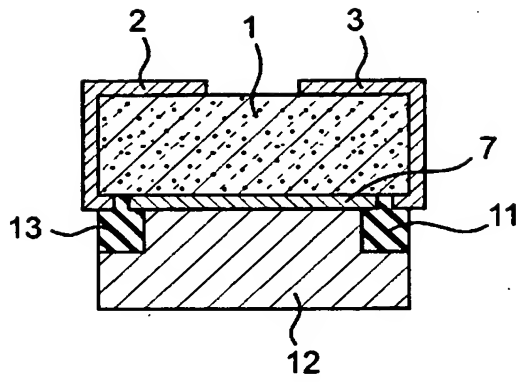
【図 4】



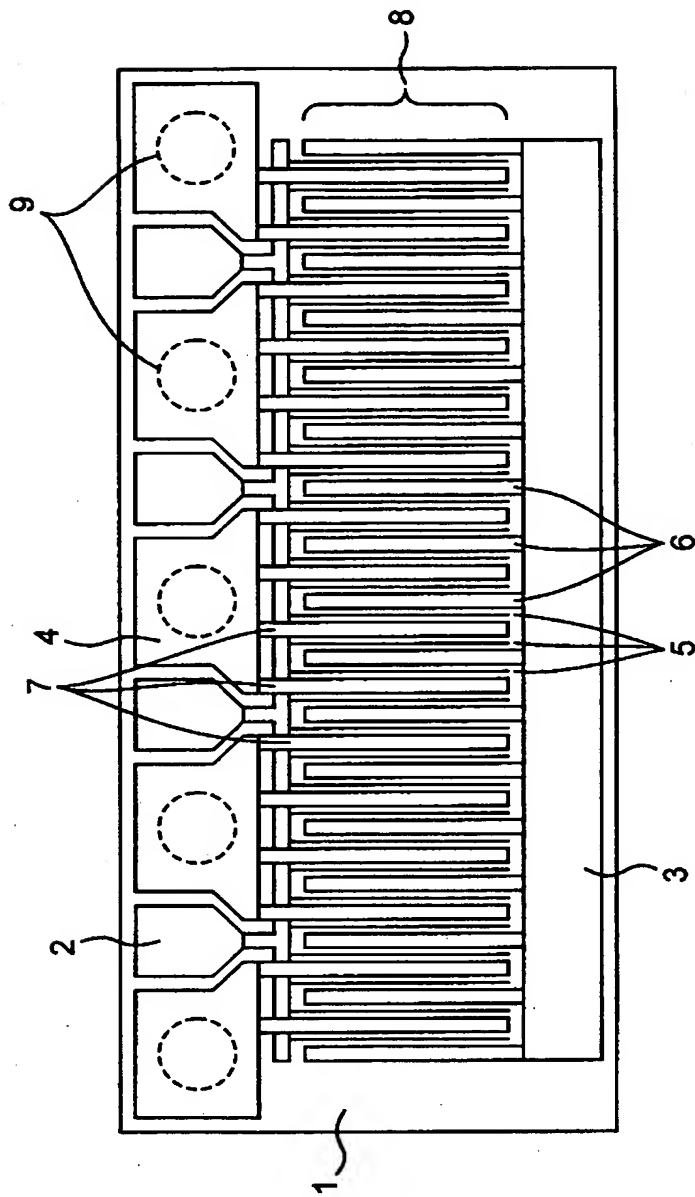
【図 5】



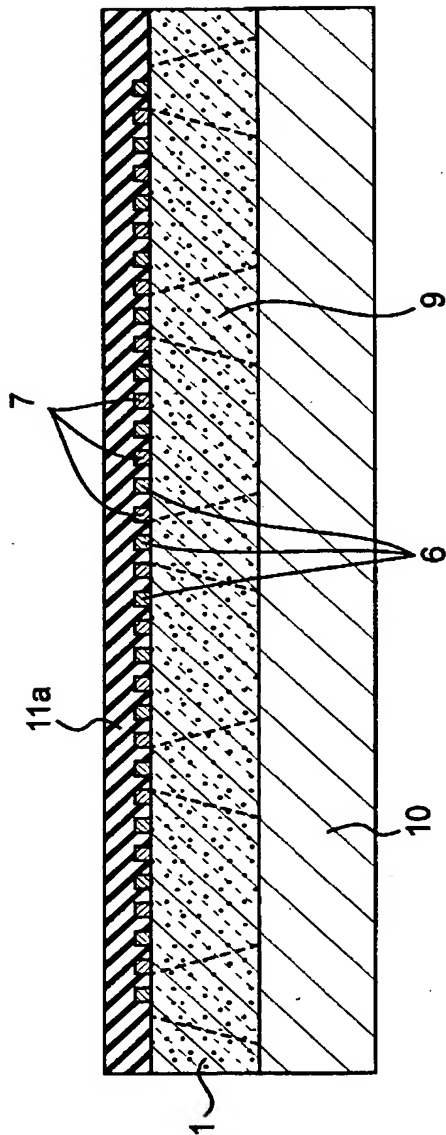
【図 6】



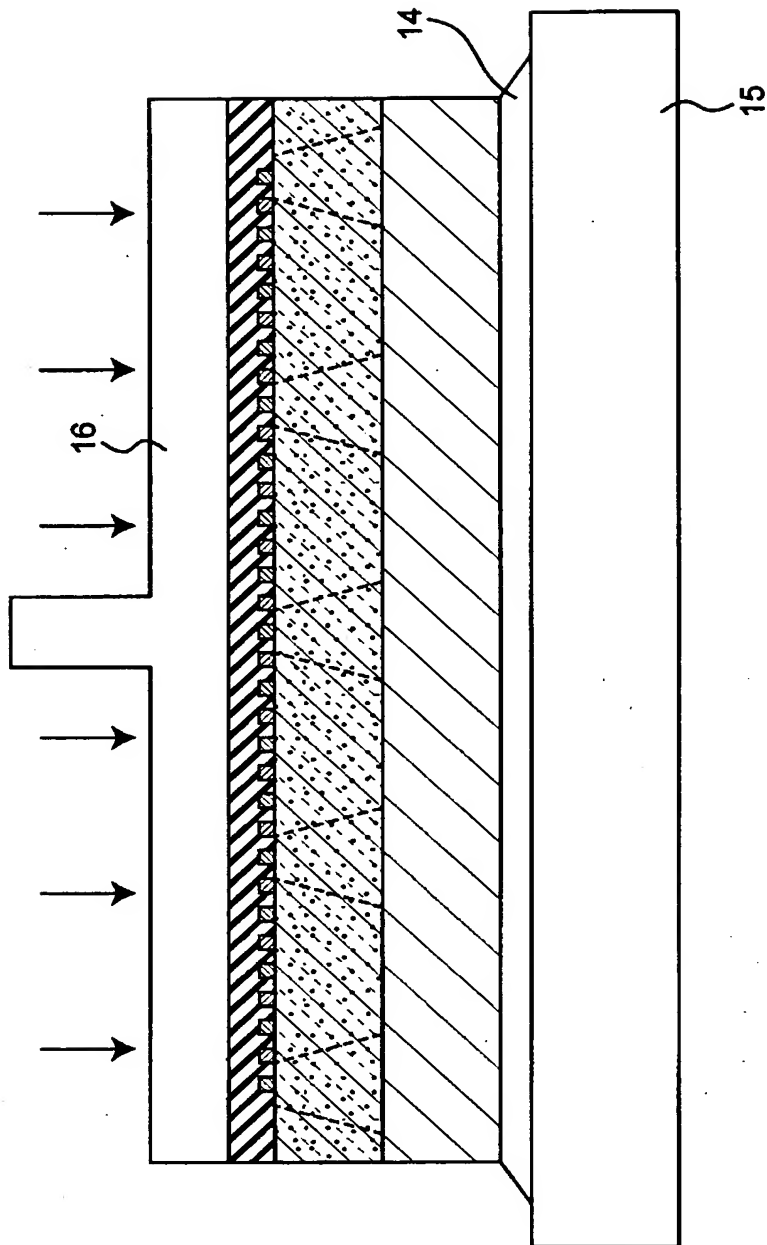
【図7】



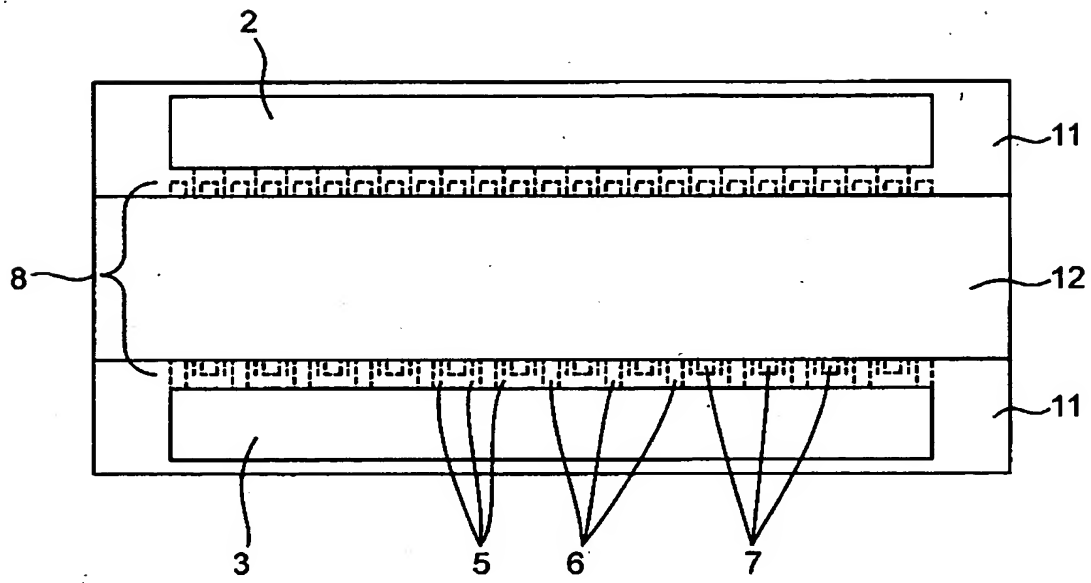
【図 8】



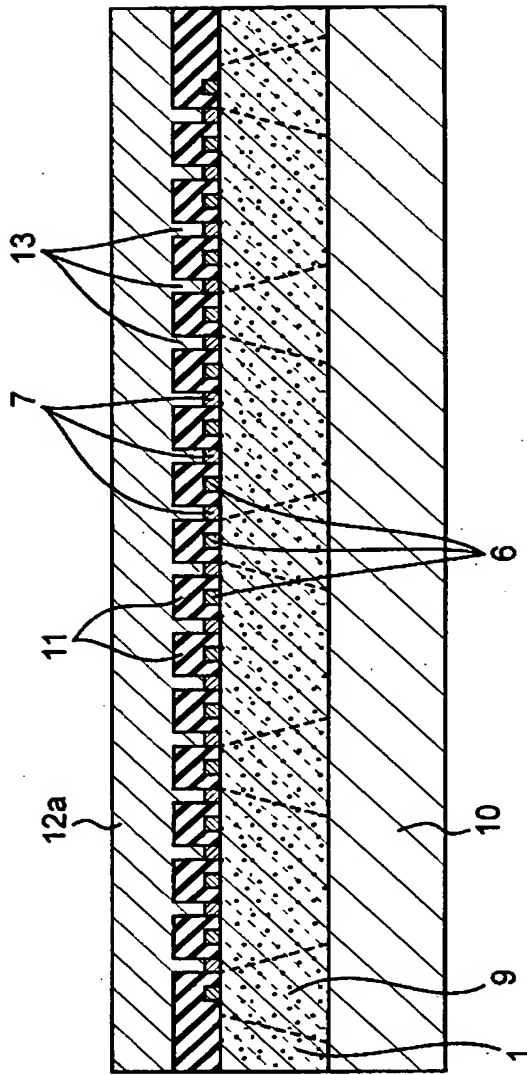
【図 9】



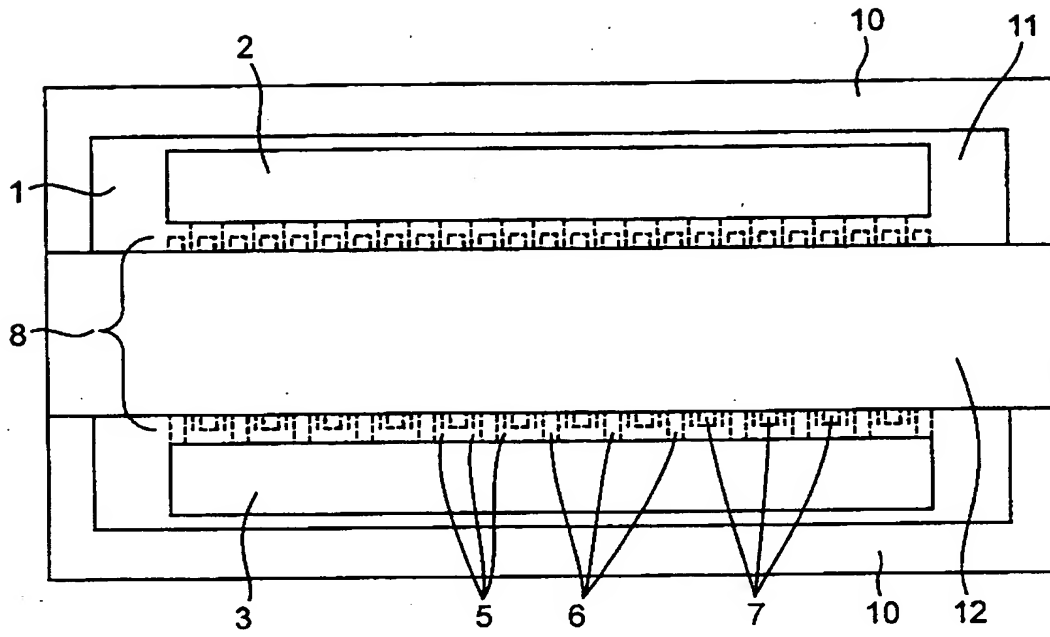
【図 1 0】



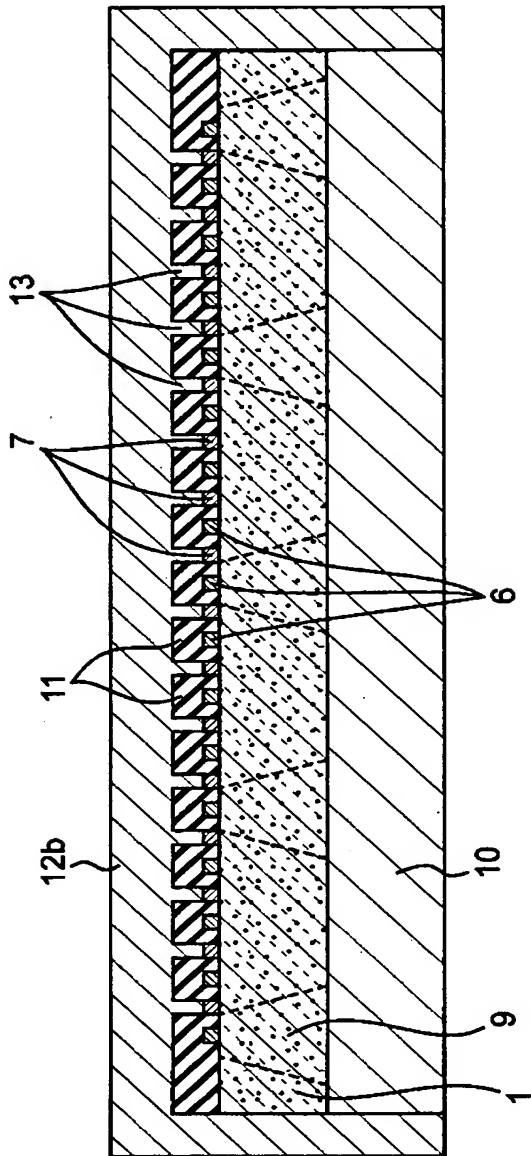
【 図 1 1 】



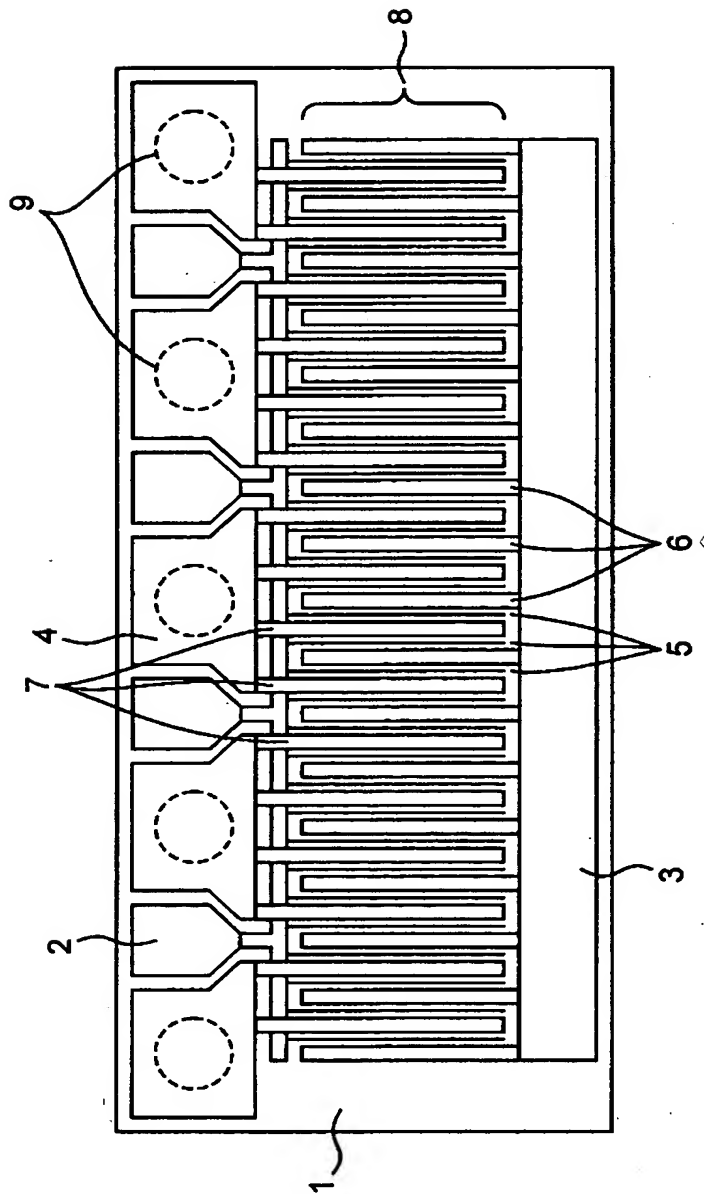
【図 1 2】



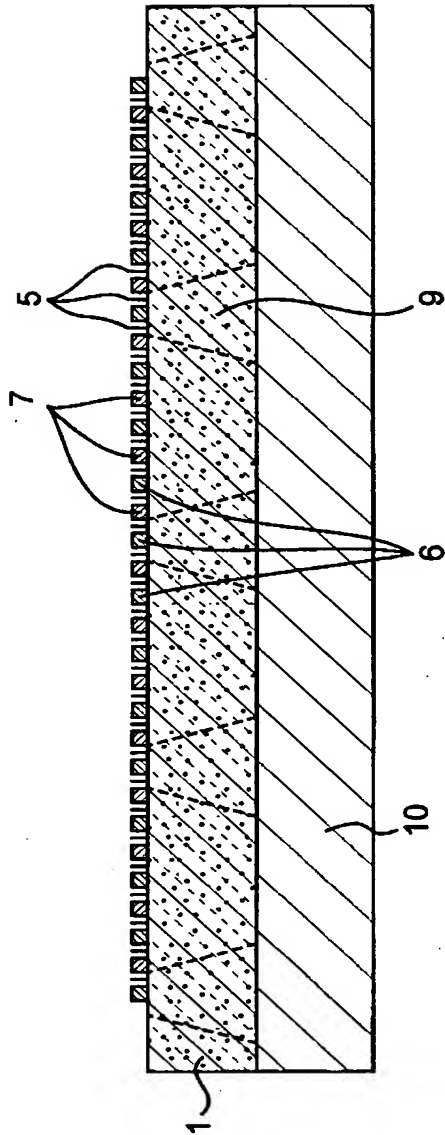
【図 1 3】



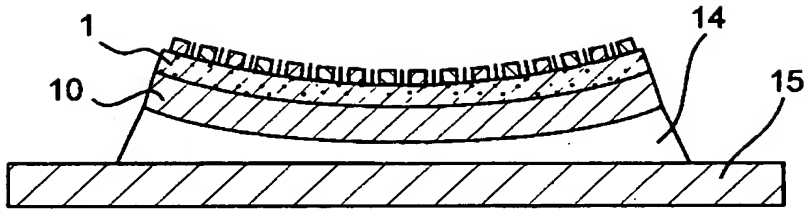
【圖 14】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 構造を簡単化し、製造工程の容易化を実現する半導体装置を提供することにある。また、半導体チップのダイボンド時の反りの発生を抑制する半導体装置を提供する。

【解決手段】 半導体装置は、複数の電極 5 ～ 7 が一の面上に形成された半導体基板 1 と、ゲート電極 5 及びドレイン電極 6 をソース電極 7 と絶縁するようにゲート電極 5 及びドレイン電極 6 上に形成された低誘電率高分子膜 1 1 と、低誘電率高分子膜 1 1 及びソース電極 7 上に形成され、接地電位に接続されたチップ表面電極 1 2 とを有する。ソース電極 7 はチップ表面電極 1 2 を介して接地電位が与えられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社